

日本特許庁
JAPAN PATENT OFFICE

5-1-02

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日
Date of Application:

2000年11月29日

出願番号
Application Number:

特願2000-363903

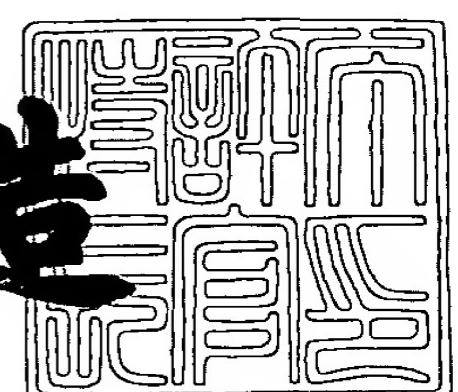
出願人
Applicant(s):

富士通株式会社

2001年 8月17日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3073985

【書類名】 特許願

【整理番号】 0040971

【提出日】 平成12年11月29日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 27/00

【発明の名称】 半導体装置

【請求項の数】 7

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 松崎 康郎

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 鈴木 孝章

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン
プレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

特2000-363903

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 外部端子と、

これに接続される第1及び第2の内部回路と、

前記外部端子と前記第1及び第2の内部回路を接続する配線とを有し、

前記配線は、半導体チップ面上に設けられた配線層を覆う絶縁層の上に形成されかつ前記配線層の電極とコンタクトする導電層で形成され、

前記第1及び第2の内部回路は距離的に離間して配置される半導体装置。

【請求項2】 外部端子と、

これに接続される第1及び第2の内部回路と、

前記外部端子と前記第1及び第2の内部回路を接続する配線とを有し、

前記配線は、半導体チップ面上に設けられた配線層を覆う絶縁層の上に形成されかつ前記配線層の電極とコンタクトする導電層で形成され、

前記配線は、前記第1及び第2の内部回路と前記外部端子とを前記配線層で接続した場合の最大許容長よりも長い半導体装置。

【請求項3】 請求項1又は2に記載の半導体装置は第3の内部回路を有し、前記第1及び第2の内部回路は前記第3の回路を挟むように配置されている半導体装置。

【請求項4】 外部端子と、

これに接続される内部回路及び保護素子と、

前記外部端子と内部回路及び保護素子を接続する配線とを有し、

前記配線は、半導体チップ面上に設けられた配線層を覆う絶縁層の上に形成されかつ前記配線層の電極とコンタクトする導電層で形成される半導体装置。

【請求項5】 前記配線層は前記巨大配線と前記内部回路とを接続する第1の部分と、前記巨大配線と前記保護素子とを接続する第2の部分とを含み、前記第1の部分は前記第2の部分よりも長い請求項4記載の半導体装置。

【請求項6】 前記外部端子と前記内部回路との間に抵抗を有する請求項4又は5記載の半導体装置。

【請求項 7】 前記保護素子は前記半導体チップの周辺部に位置することを特徴とする請求項4又は5記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置に関するものであり、より詳細には、外部端子とこれに接続される入力回路や出力回路との配線に関する。

【0002】

【従来の技術】

半導体装置の入力端子や出力端子などの外部端子には、静電気放電素子（electrostatic discharge element：以下、ESD素子と言う）が接続されている。

【0003】

図1に示すように、パッド（外部端子）10と内部回路11との間には、内部回路11を保護する保護素子であるESD素子12が設けられている。内部回路11は、例えば入出力回路である。この場合には、外部端子10は入出力共用である。内部回路11は、入力回路又は出力回路であっても良い。ESD素子12は、抵抗13とNチャネルトランジスタ14とを有する。トランジスタ14のソースとゲートは接地されている。静電気が外部端子10に誘起されると、その電荷はトランジスタ14を介してグランドに流れる。これにより、内部回路11が静電気で破壊されるのを防止することができる。

【0004】

内部回路11を効果的に保護するために、ESD素子12を内部回路11の近くに配置する必要がある。

【0005】

【発明が解決しようとする課題】

ESD素子12は大電流をグランドに逃がすために面積が大きく、また通常の動作には寄与しないため、できるだけチップの空いている場所に配置したいという要望がある。しかし、外部端子10から配線を長く引き回すと、配線容量や寄

生抵抗により大電流を瞬時に流すことができなくなってしまう。

【0006】

入力回路や出力回路は、半導体装置の遅延時間に大きな影響がある回路なので最適な配置が必要であるが、ESD素子12を近辺に配置しなければならぬため、レイアウト的に制約があった。

【0007】

本発明は、回路配置上の制約を解消して回路素子の配置の自由度が大きい半導体装置を提供することを目的とする。

【0008】

【課題を解決するための手段】

本発明は、外部端子と、これに接続される第1及び第2の内部回路と、前記外部端子と前記第1及び第2の内部回路を接続する配線とを有し、前記配線は、半導体チップ面上に設けられた配線層を覆う絶縁層の上に形成されかつ前記配線層の電極とコンタクトする導電層で形成され、前記第1及び第2の内部回路は距離的に離間して配置される半導体装置である。

【0009】

前記導電層はいわゆる巨大配線である。巨大配線は、後述するような利点を持つため、電気的特性を考慮した第1及び第2の内部回路の配置の自由度は飛躍的に向上する。よって、第1及び第2の内部回路は距離的に離間して配置することができる。

【0010】

【発明の実施の形態】

図2は、本発明の第1の実施の形態を示す図である。図2は、半導体装置の外部端子10の周辺部分を示す。なお、図1に示す構成要素と同一のものには、同一の参照番号を付してある。

【0011】

外部端子10と内部回路11との接続、及び外部端子10とESD素子12との接続を、いわゆる巨大配線13を用いて行う。巨大配線13と内部回路11とは、コンタクト部14で電気的に接続される。同様に、巨大配線13とESD素

子12とはコンタクト部14で電気的に接続される。

【0012】

巨大配線は、幅5～10μm程度の配線層で形成されたもので、半導体装置の高速化及び低電力化を可能とする。巨大配線は、微細加工で形成する通常の配線に対し、次のような利点がある。

- ①幅が広いため電気抵抗が小さい。
- ②バルクとの絶縁層の層間が厚く、また巨大配線間の配線間隔が広いため寄生容量が小さい。
- ③以上より、巨大配線の時定数は非常に低く高速動作に向いている。

【0013】

本発明では、このような巨大配線13を用いることにより、内部回路11とESD素子12とを距離的に離して配置することができる。つまり、従来の回路配置上の制約による回路間の距離を越えて、内部回路11とESD素子12とを配置できる。巨大配線13は、従来の配線で許容される最大長（静電破壊を効果的に防止できる最大配線長）よりも長いとも言える。

【0014】

図3は、巨大配線13を説明するための半導体装置の模式的な断面図である。

【0015】

半導体基板20上（チップ面上）には、多層配線層22が形成されている。多層配線層22は、多層に構成された配線層22a、22bを有する。各配線層22a、22bはポリイミドなどの絶縁層で絶縁され、最上部の配線層22b上にはポリイミドなどの絶縁層が設けられている。図3では、便宜上、多層配線層22の絶縁層を一括して参考番号21で示してある。図1に示す従来技術の各回路間の配線は多層配線層22内の配線であり、通常の微細加工で形成される通常配線である。

【0016】

多層配線層22は電極23を有する。電極23はコンタクト部25、26及び中間の配線層を介して、半導体基板20に形成された拡散層24に電気的に接続される。

【0017】

絶縁層27上には、巨大配線層28が形成されている。図2に示す巨大配線13は、この巨大配線層28で形成される。巨大配線層28は、コンタクト部23で電極23とコンタクトしている。このコンタクト部23は、図2に示すコンタクト部14に相当する。電極23は、絶縁層21に設けられたコンタクトホールから露出している。コンタクト部23は、絶縁層21、27に形成されたコンタクトホールに巨大配線層28が入り込んで電極23に接続する構成である。巨大配線層28の幅及び厚みは多層配線層22の配線層22a、22bよりも大きく、例えば5~10μmである。

【0018】

巨大配線層28の上には、カバー膜29が設けられている。カバー膜29は開口部（スルーホール）を有し、そこから巨大配線層28が露出している。開口部には、巨大配線層28上に形成された他のチップや回路との接続用の電極30が設けられている。図示する電極30はバンプであるが、パッドなどでも良い。電極30は図2に示す外部電極10を構成する。

【0019】

図4は、本発明の第2の実施の形態を示す図である。図中、前述した構成要素と同一のものには同一の参照番号を付してある。

【0020】

図示する構成は、巨大配線13と内部回路11を接続する通常配線15の長さL1を、巨大配線13とESD素子12を接続する通常配線16の長さL2よりも長くしたことを特徴とする。通常配線は巨大配線に比べ寄生容量と配線抵抗が大きいので、 $L_1 > L_2$ とすることにより、ESD素子12の方に静電電流が流れ易くなる。

【0021】

通常配線15と16は、図3に示す多層配線層22内の配線である。

【0022】

図5は、本発明の第3の実施の形態を示す図である。図中、前述した構成要素と同一のものには同一の参照番号を付してある。

【0023】

図5に示す構成は、巨大配線13と内部回路11との間に抵抗R1を設けたことを特徴とする。これにより、ESD素子12の方に静電電流がより流れ易くなる。

【0024】

図6は、本発明による半導体装置の全体構成例を示す図である。チップ40上の中間部には、アドレス、コマンド、データ、クロックなどのI/O回路41が設けられている。複数のESD素子44をチップの周辺に配置する。各ESD素子44とI/O回路41とを巨大配線42で接続する。各巨大配線42上には、外部との接続用の外部端子43が設けられている。この外部端子43は、図3に示すバンプ状の電極30に相当する。バンプに代えてパッド状の電極でも良い。

【0025】

各巨大配線42の一端はコンタクト部45を介してI/O回路41に接続され、他端はコンタクト部46を介してESD素子44に接続されている。

【0026】

巨大配線42を用いているので、ESD素子44をI/O回路41から距離的に離間したチップ40の周辺領域に形成することができる。

【0027】

以上説明した通り、本発明は、従来隣接して配置しなければならなかった回路を、巨大配線を利用して場所的に離間して配置できるようにした。従って、本発明による巨大配線は入出力回路とESD素子との接続のみならず、他の回路部分にも適用できる。

【0028】

図7は、半導体記憶装置の従来の一構成例を示すブロック図である。図示する半導体装置は、外部端子50、データ入力回路51、データ出力回路52、メモリセルアレイ53、書き込み回路54、読み出し回路55、書き込みデータバス56及び読み出しデータバス57を具備する。

【0029】

メモリセルアレイ53、書き込み回路54及び読み出し回路55を含むメモリコア

の集積度を高くしようとする場合、図7に示すように、メモリセルアレイ53の片側に書き込み回路54を設け、対向する側に読み出し回路55を設ける。このような配置においても、外部端子50を共通にするデータ入力回路51とデータ出力回路52を隣接し、しかも外部端子50にできるだけ近接するように配置する。外部端子50とデータ入力回路51までの配線長及びデータ出力回路52までの配線長が長くなると、配線抵抗や寄生容量によって電圧ドロップや波形のなまりが発生したり、端子容量が大きくなってしまう。

【0030】

ところが、データ入力回路51とデータ出力回路52を隣接して配置したことにより、データ入力回路51と書き込み回路54の間の配線又は読み出し回路55とデータ出力回路52の間の配線のいずれか又は両方が長くなってしまい、チップ面積が増大し、信号の遅延が発生する。図7の配置では、データ入力回路51と書き込み回路54とを接続する書き込みデータバス56が長くなってしまう。

【0031】

以下に説明する本発明の第4の実施の形態は、上記問題点を解決するものである。

【0032】

図8は、本発明の第4の実施の形態による半導体記憶装置の構成を示すブロック図である。図8(a)は単ビットの構成例、(b)は多ビットの構成例を示す。なお、図8において、図7に示す構成要素と同一のものには同一の参照番号を付してある。

【0033】

図8(a)において、メモリセルアレイの両側にそれぞれデータ入力回路51とデータ出力回路52を設け、これらをコンタクト部63を介して巨大配線62で電気的に接続してある。巨大配線62上には、外部との接続用の外部電極61が設けられている。この外部電極61は、図3に示す電極30に相当する。外部電極61は図3に示すようにバンプ状であっても良いし、パッド状であっても良い。

【0034】

巨大配線62を用いているため、配線長が長くても配線抵抗や寄生容量によつて電圧ドロップや波形のなまりが発生したり、端子容量が大きくなってしまうことはない。よつて、データ入力回路51とデータ出力回路52を距離的に離間配置することが可能になり、更に外部端子61に近接して配置する必要がない。また、巨大配線61をメモリセルアレイ53上に設けることができ、通常配線をチップ上に引き回す必要がないので、チップレイアウト上及びチップ面積的にも有利である。データ入力回路51と書き込み回路54とを接続するバス64の長さは、読み出し回路55とデータ出力回路52とを接続するバス65と同様に短い。

【0035】

図8(b)に示す多ビットの構成では、複数の巨大配線62を並列に配置したものである。各巨大配線62はコンタクト部63を介してデータ入力回路51Aとデータ出力回路55とに接続される。

【0036】

以上、本発明の実施の形態を説明した。本発明は上記実施の形態に限定されるものではなく、従来隣接して配置しなければならなかつた回路を巨大配線を利用して場所的に離間して配置できるようにしたすべてを含むものである。

(付記)

以上、本発明の主たる特徴を特定すると次の通りである。

【0037】

(付記1) 外部端子と、

これに接続される第1及び第2の内部回路と、

前記外部端子と前記第1及び第2の内部回路を接続する配線とを有し、

前記配線は、半導体チップ面上に設けられた配線層を覆う絶縁層の上に形成されかつ前記配線層の電極とコンタクトする導電層で形成され、

前記第1及び第2の内部回路は距離的に離間して配置される半導体装置。

【0038】

(付記2) 外部端子と、

これに接続される第1及び第2の内部回路と、

前記外部端子と前記第1及び第2の内部回路を接続する配線とを有し、

前記配線は、半導体チップ面上に設けられた配線層を覆う絶縁層の上に形成されかつ前記配線層の電極とコンタクトする導電層で形成され、

前記配線は、前記第1及び第2の内部回路と前記外部端子とを前記配線層で接続した場合の最大許容長よりも長い半導体装置。

【0039】

(付記3) 付記1又は2に記載の半導体装置は第3の内部回路を有し、前記第1及び第2の内部回路は前記第3の回路を挟むように配置されている半導体装置。

【0040】

(付記4) 前記第1及び第2の内部回路はそれぞれ、データ入力回路及びデータ出力回路である付記1又は2記載の半導体装置。

【0041】

(付記5) 外部端子と、
これに接続される内部回路及び保護素子と、
前記外部端子と内部回路及び保護素子を接続する配線とを有し、
前記配線は、半導体チップ面上に設けられた配線層を覆う絶縁層の上に形成されかつ前記配線層の電極とコンタクトする導電層で形成される半導体装置。

【0042】

(付記6) 前記配線層は前記巨大配線と前記内部回路とを接続する第1の部分と、前記巨大配線と前記保護素子とを接続する第2の部分とを含み、前記第1の部分は前記第2の部分よりも長い付記5記載の半導体装置。

【0043】

(付記7) 前記外部端子と前記内部回路との間に抵抗を有する付記5又は6記載の半導体装置。

【0044】

(付記8) 前記保護素子は前記半導体チップの周辺部に位置することを特徴とする付記5又は6記載の半導体装置。

【0045】

(付記9) 前記配線は、前記配線層内の配線よりも大きいサイズである付記1

、2及び5のいずれか一項記載の半導体装置。

【0046】

(付記10) 前記保護素子は、ESD素子である付記5又は6記載の半導体装置。

【0047】

(付記11) 前記外部端子は、前記配線上に形成されている電極である付記1に記載の半導体装置。

【0048】

【発明の効果】

以上説明したように、本発明によれば、回路配置上の制約を解消して回路素子の配置の自由度が大きい半導体装置を提供することができる。

【図面の簡単な説明】

【図1】

従来の回路配置の一例を示す図である。

【図2】

本発明の第1の実施の形態による半導体装置を示す図である。

【図3】

図2に示す半導体装置の断面を示す図である。

【図4】

本発明の第2の実施の形態による半導体装置を示す図である。

【図5】

本発明の第3の実施の形態による半導体装置を示す図である。

【図6】

本発明による半導体装置の構成例を示す図である。

【図7】

半導体記憶装置の一般的な回路配置を示す図である。

【図8】

本発明の第4の実施の形態による半導体装置を示す図である。

【符号の説明】

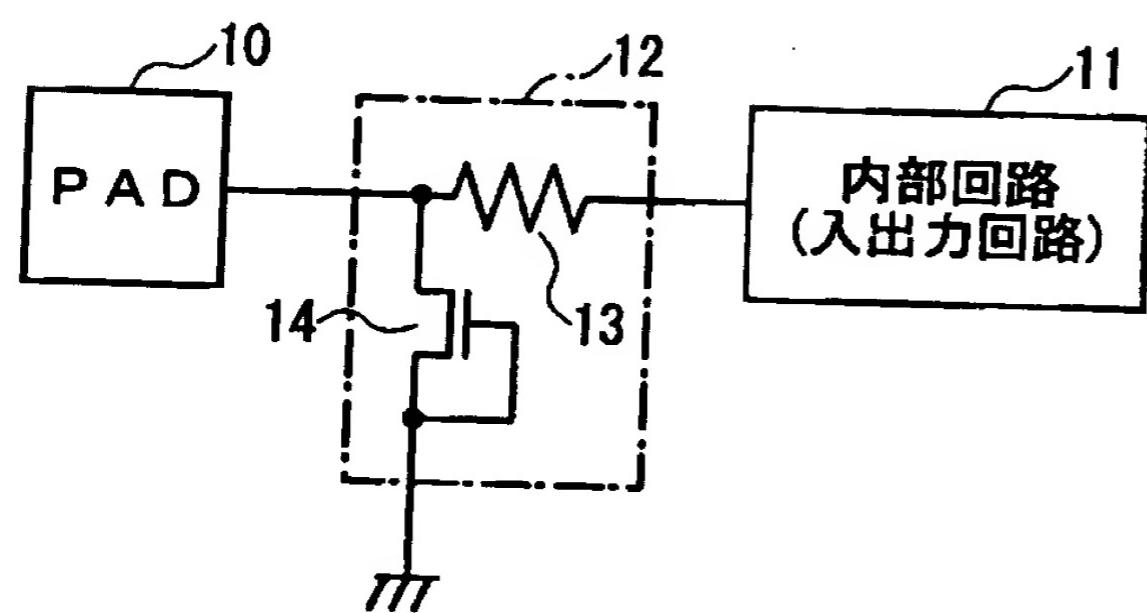
- 1 0 外部端子
- 1 1 内部回路
- 1 2 E S D素子
- 1 3 巨大配線
- 1 4 コンタクト部
- 1 5 通常配線

【書類名】

図面

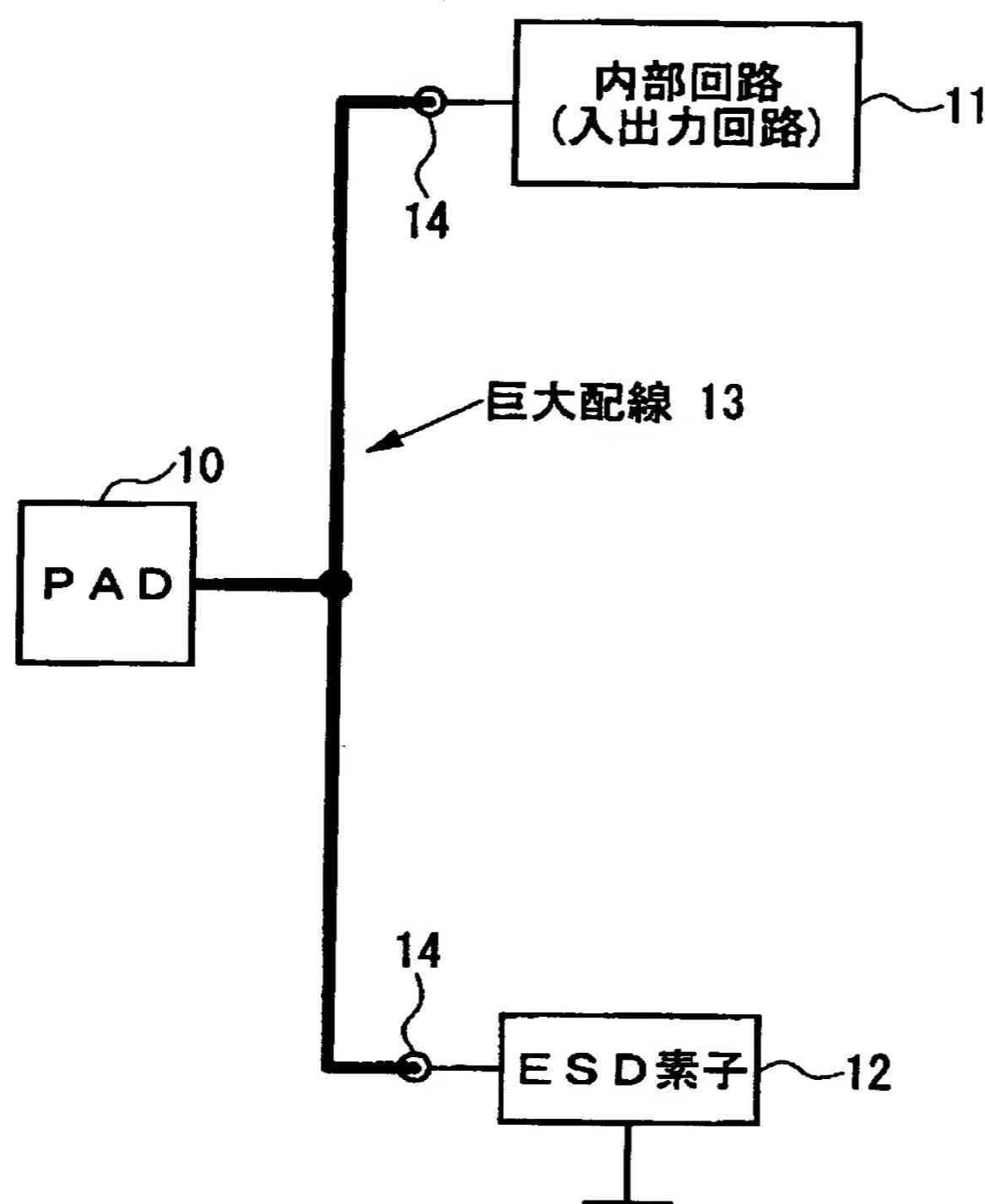
【図1】

従来の回路配置の一例を示す図



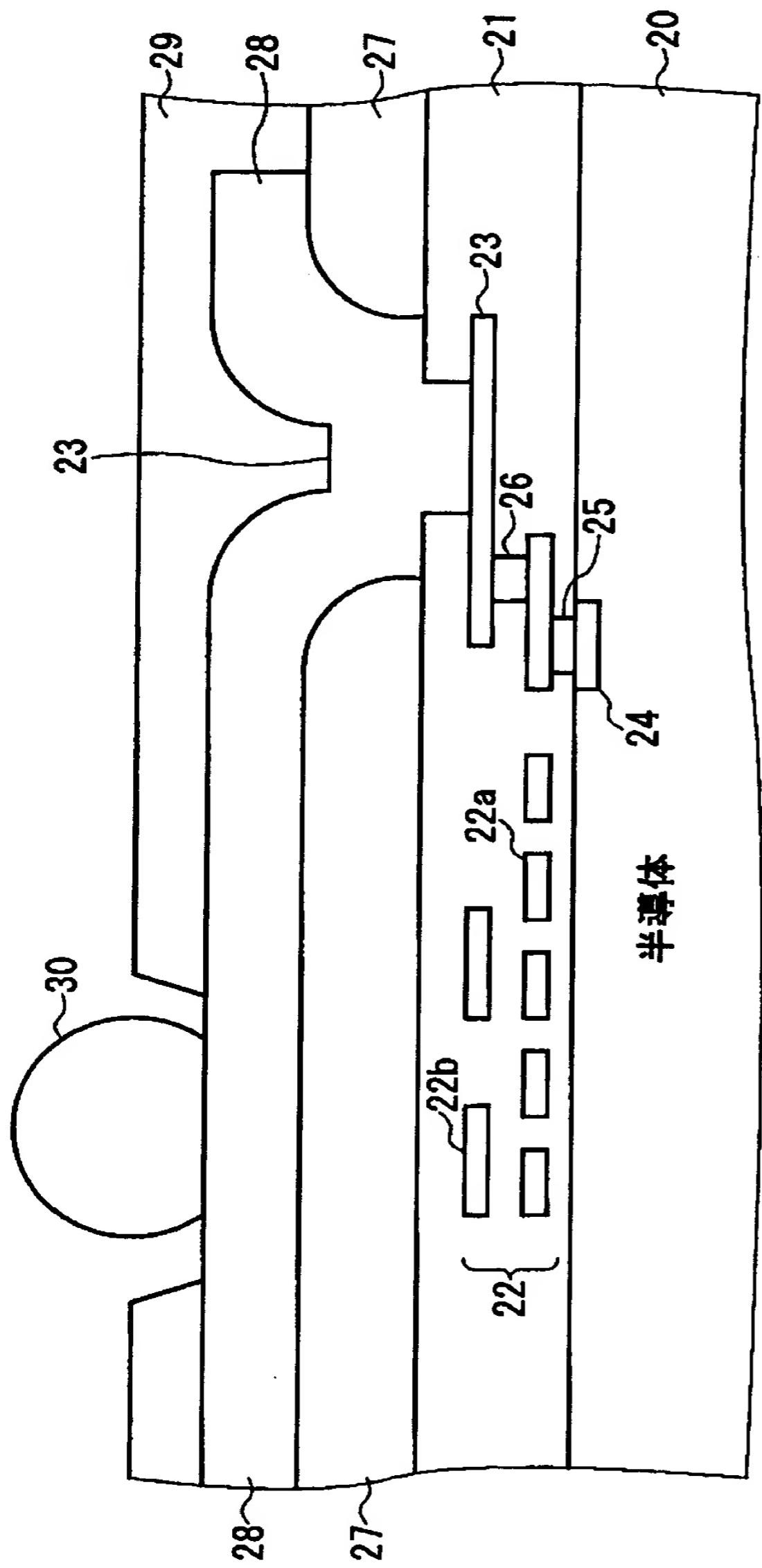
【図2】

本発明の第1の実施例の形態による半導体装置を示す図



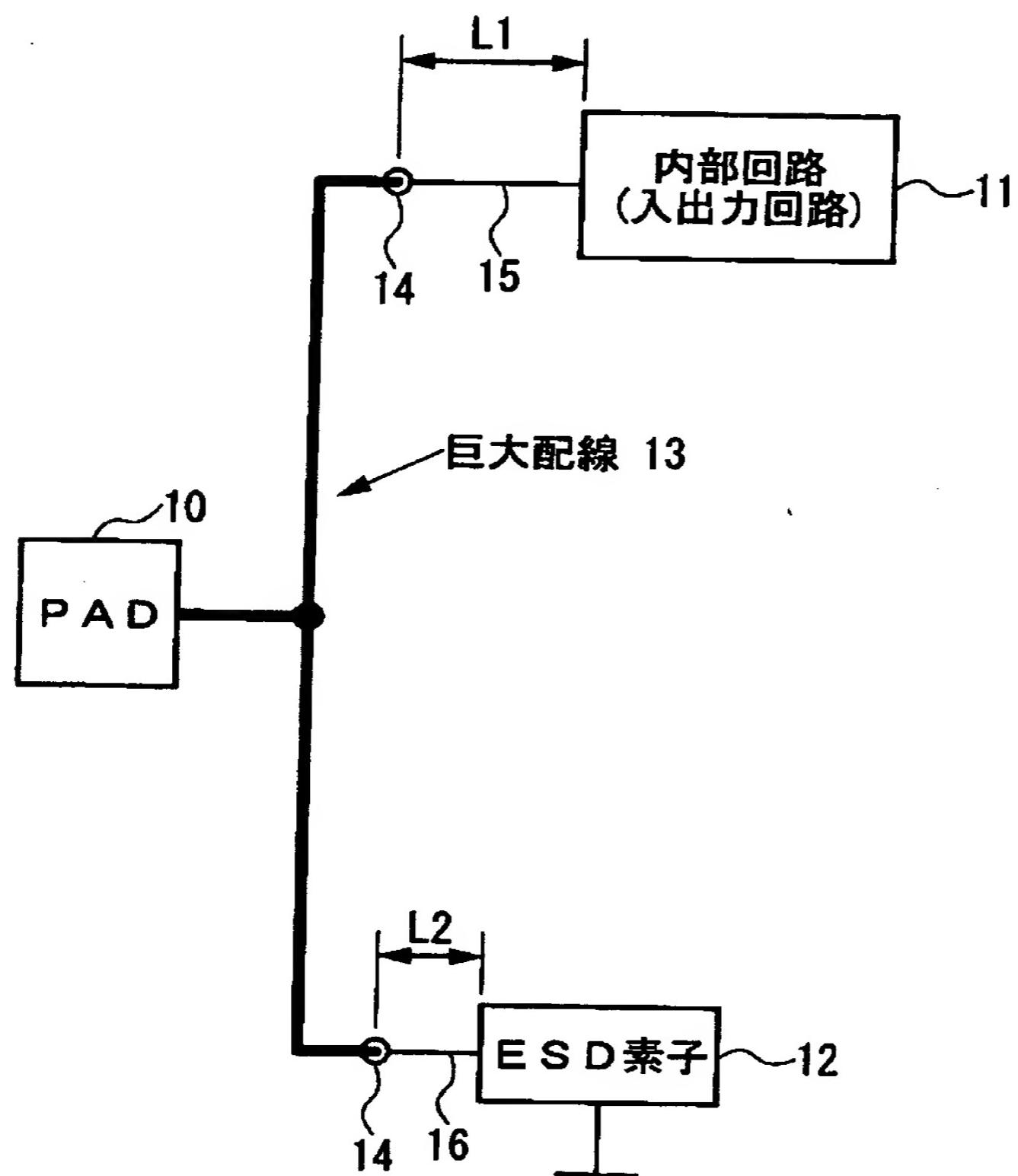
【図3】

図2に示す半導体装置の断面を示す図



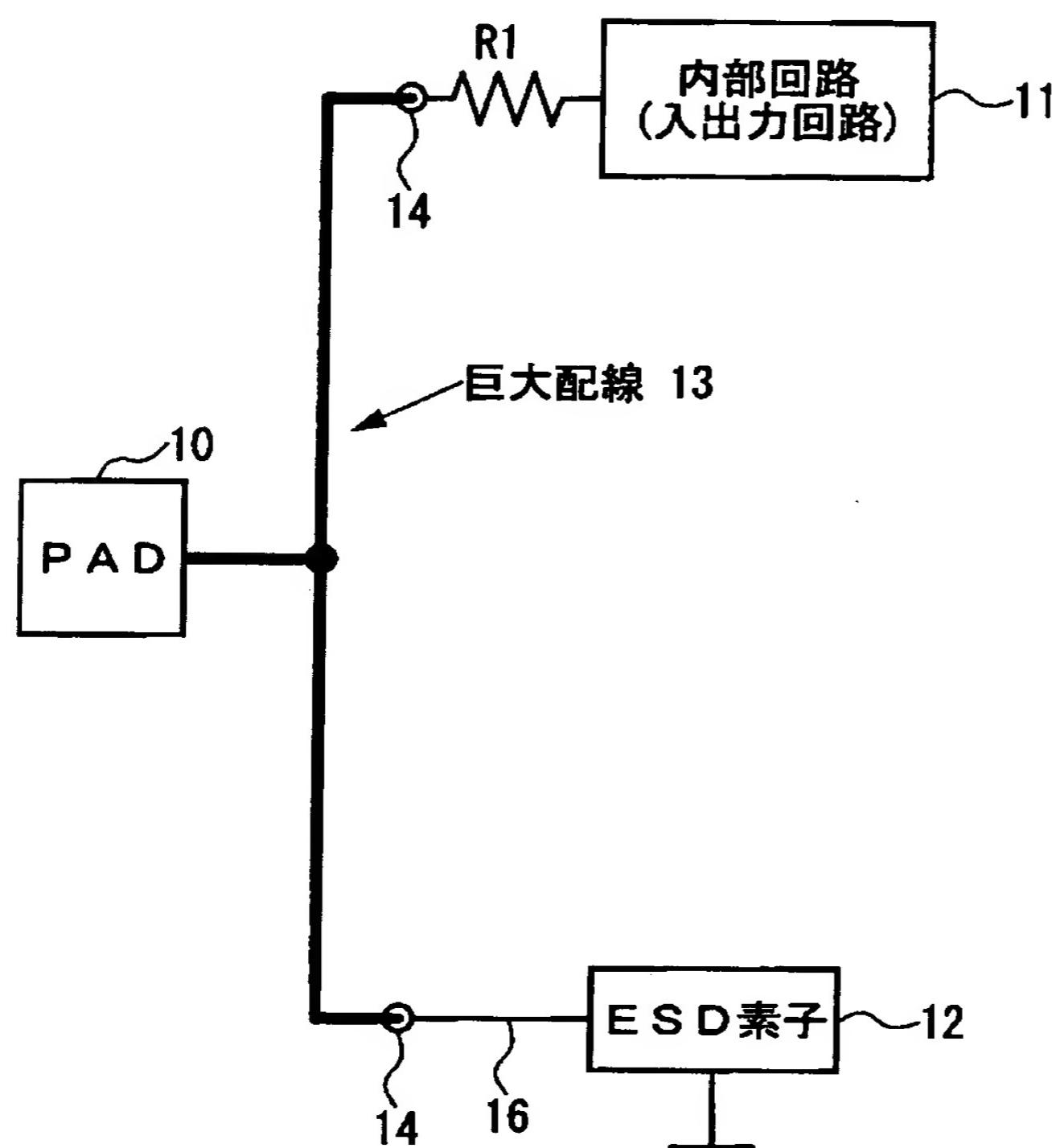
【図4】

本発明の第2の実施の形態による半導体装置を示す図



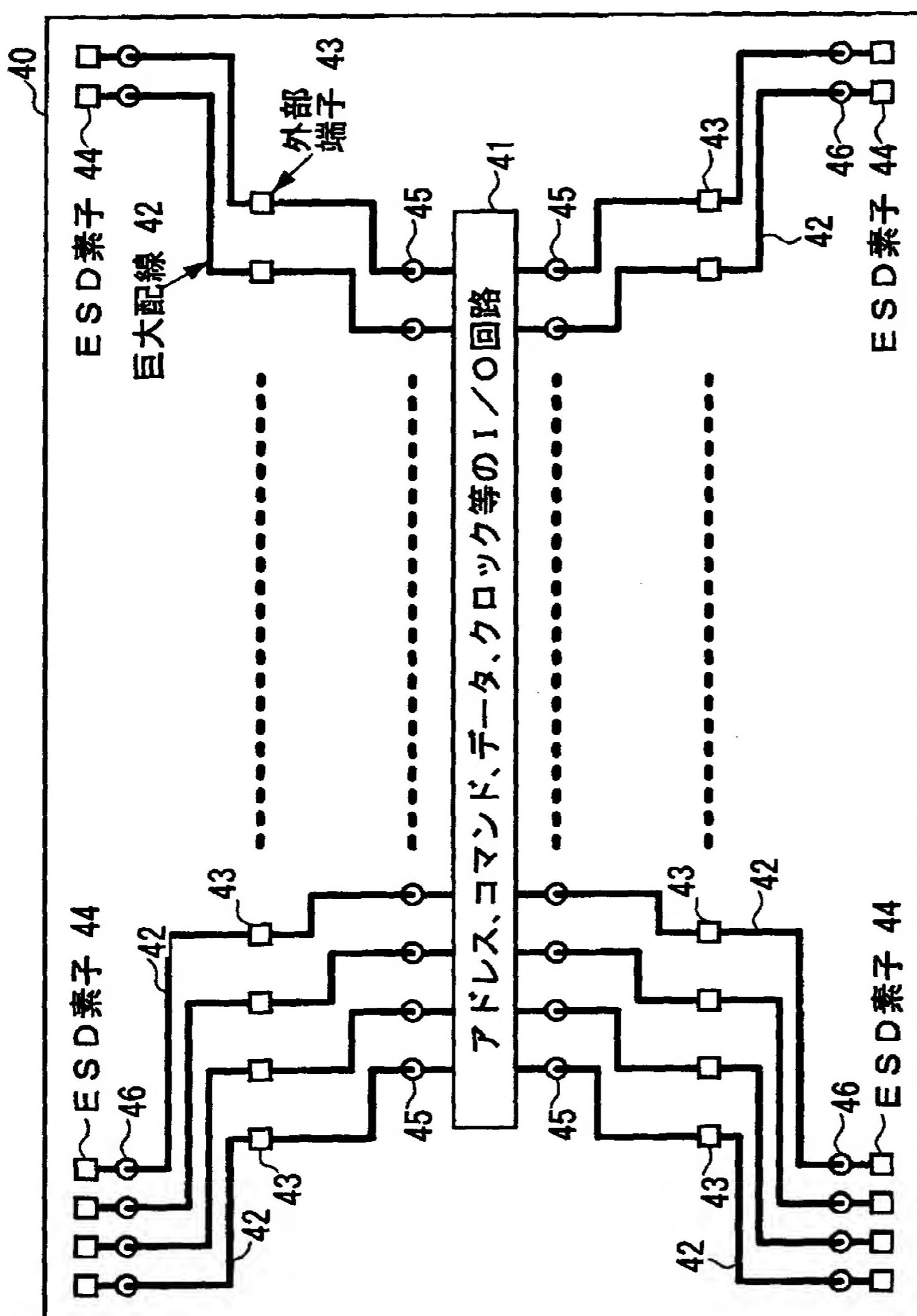
【図5】

本発明の第3の実施の形態による半導体装置を示す図



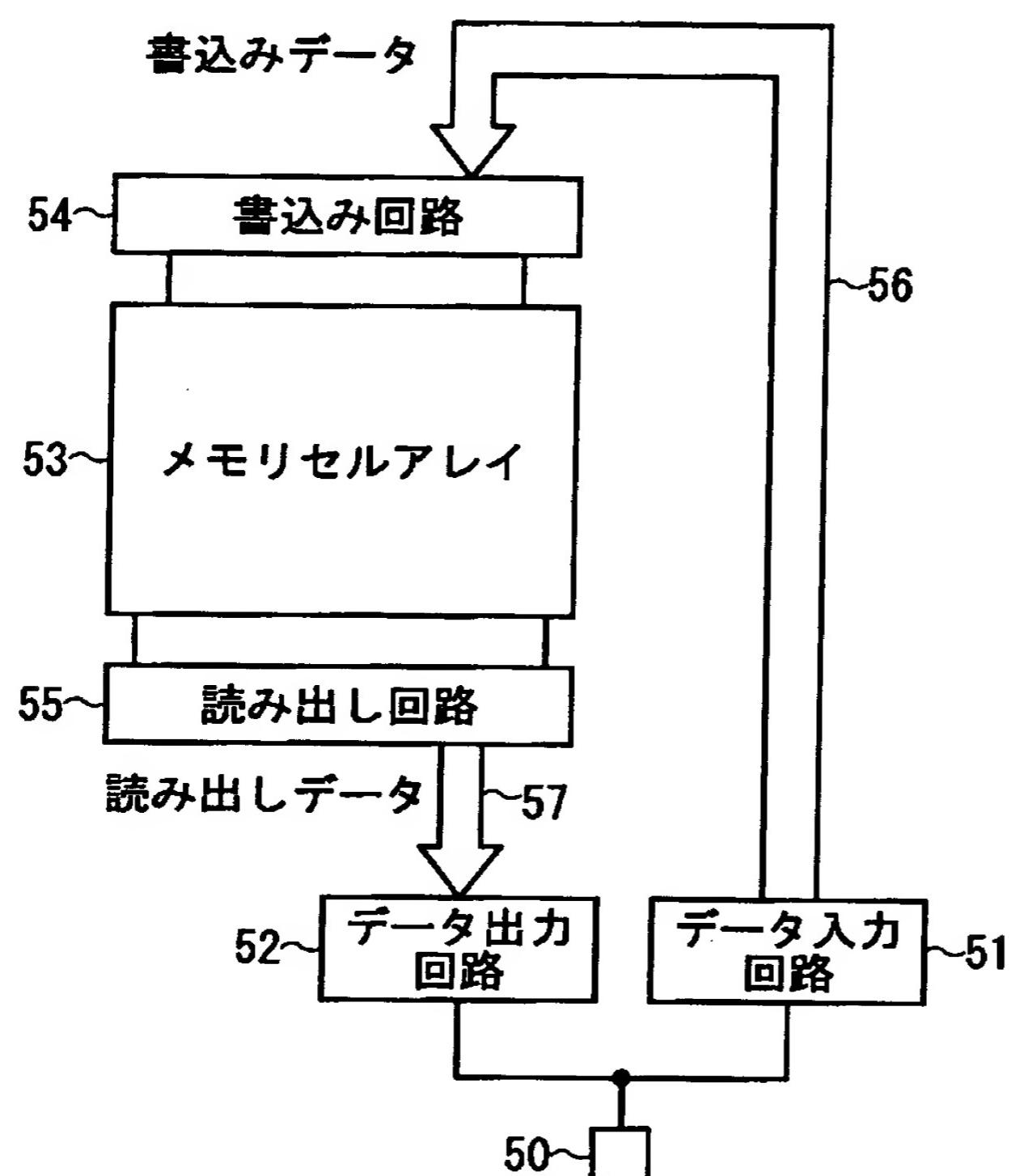
【図6】

本発明による半導体装置の構成例を示す図



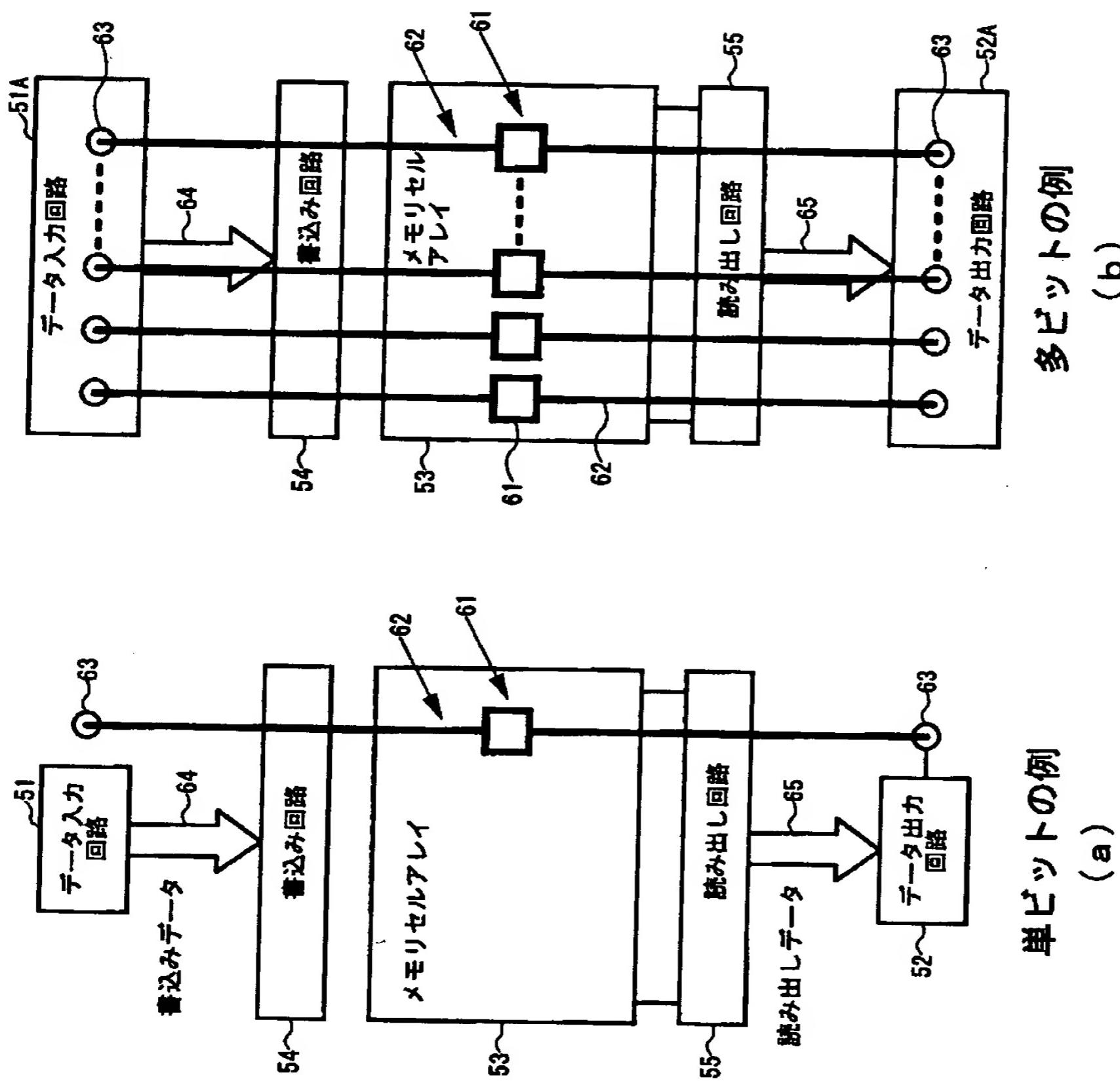
【図7】

半導体記憶装置の一般的な回路配置を示す図



【図8】

本発明の第4の実施の形態による半導体装置を示す図



【書類名】 要約書

【要約】

【課題】 回路配置上の制約を解消して回路素子の配置の自由度が大きい半導体装置を提供する。

【解決手段】 外部端子（61）と、これに接続される第1及び第2の内部回路（51、52）と、前記外部端子と前記第1及び第2の内部回路を接続する配線（62）とを有し、前記配線は、半導体チップ面上に設けられた配線層を覆う絶縁層の上に形成されかつ前記配線層の電極とコンタクトする導電層で形成され、前記第1及び第2の内部回路は距離的に離間して配置される。

【選択図】 図8

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社